

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-215816

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 6 0 P	8323-5B		
		6912-2G	G 0 1 R 31/ 28	G

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-322766

(22)出願日 平成3年(1991)12月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 信高 靖

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【構成】複数のスキャンバスと前記複数のスキャンバスを制御する診断制御回路とを持つ情報処理装置において、スキャンバス先頭のレジスタ出力をスキャンインデータをスキャンバス末尾のスキャン入力にする手段を設けるか、スキャンバス先頭のレジスタ出力をスキャンバス末尾のレジスタのスキャン入力にする手段とスキャンバス中に前段のレジスタ出力かスキャンインデータのいずれかを次段のレジスタのスキャン入力にする手段を設けた。

【効果】スキャンバス中のレジスタの数とスキャンに必要なクロック数を異なる値とし、複数のスキャンバスをおなじスキャンクロック数でスキャンすることを可能とする。また、スキャンバスを同時に動かしながらスキャンイン、スキャンアウトできるので、スキャンバスの単独のみの作動に比べ、全てのスキャンバスをスキャンするのに必要なスキャンクロック数が著しく減少しエラーで処理を中断してから再び動き出すまでの時間を大幅に短縮できるという効果がある。

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数のスキャンバスと前記複数のスキャンバスを制御する診断制御回路とを持つ情報処理装置において、

それぞれのスキャンバスは該スキャンバスを構成するレジスタ数 i 、スキャンに必要とするスキャンクロック数 j 、 j を i で割った余りを k としたとき、 $k=0$ の場合、スキャンバスの先頭レジスタの出力とスキャンインデータとのいずれかを選択し、スキャンバス末尾のレジスタのスキャン入力とし、 $k \neq 0$ の場合、スキャンバスの先頭レジスタの出力をスキャンバス末尾のレジスタのスキャン入力とする手段と、

k 番目と $k+1$ 番目のレジスタの間に、 $k+1$ 番目のレジスタのスキャン出力とスキャンインデータとのいずれかを選択し、 k 番目のレジスタのスキャン入力にする手段と、

前記スキャンバスのスキャンデータを一時的に格納するためのスキャンバスの数以上のビット幅かつ j 以上のワード数を持つランダムアクセスメモリと、

診断制御回路に該診断制御回路の制御するスキャンバスをすべて同時に動かし前記ランダムアクセスメモリに順次格納する機能、およびランダムアクセスメモリからスキャンインするデータを順次読みだしながら前記スキャンバスに戻す機能、システム制御装置の要求により前記ランダムアクセスメモリ中のスキャンデータを前記システム制御装置に転送する機能、システム制御装置が送ってきたスキャンデータをランダムアクセスメモリ内に書き込む機能、および情報処理装置で発生した障害を検出し障害が発生した旨をシステム制御装置に報告する機能とを含む診断制御回路とを備えて成ることを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に関し、特にスキャンバスを用い障害発生時のデータを収集する機能を持つ情報処理装置に関する。

【0002】

【従来の技術】 従来の情報処理装置における診断制御回路で制御されるスキャンバスは、スキャンバスの先頭のレジスタからスキャンアウトデータを出力し、スキャンバスの末尾のレジスタにスキャンインデータを入力していた。また、従来の診断制御回路は、スキャンバスを一本一本個別に動かし、スキャンインデータ、スキャンアウトデータはそれぞれそのままシリアルにシステム制御装置に転送またはシステム制御装置から受信していた。

【0003】

【発明が解決しようとする課題】 上述した従来の情報処理装置のスキャンバスは、スキャンバス長（スキャンバスを構成するレジスタ数）が異なる複数のスキャンバスを持つ情報処理装置に組み込まれた場合、組み込まれた

複数のスキャンバスを同時に動かし、スキャンアウトしてデータを本発明のようにランダムアクセスメモリに格納したとしても、スキャンインするときにスキャンバス長の違いから格納したデータをそのまま読みだした順番に戻すと最も短いスキャンバスがスキャンインを完了してもそれよりスキャンバス長の長いスキャンバスにおいてはスキャンインが完了せず、最も長いスキャンバスのスキャンインが完了するまでスキャンを続けられればそれよりスキャンバス長の短いスキャンバスは、スキャンインデータのあふれを生じてしまう。いずれにしてもそのままではスキャンアウトする前の状態に戻すことはできないという欠点があった。

【0004】 スキャンアウトする前の状態に戻すためには、スキャンインするときにスキャンバス長の短いスキャンバスに供給されるスキャンクロックを適当な数で止めるか、スキャンインするデータを操作しスキャンバス長の短いスキャンバスのスキャンインデータの頭にダミーのデータを付け加え、最も長いスキャンバスのスキャンインが完了したときに、本来のスキャンインデータがあふれないようにするか何れかをしなければならない。また、ダミーのデータを付け加えるとしても本発明のようにスキャンバスを同時に動かしランダムアクセスメモリにスキャンデータを格納する場合には、ランダムアクセスメモリのリード/ライトを一般に全てのスキャンバスのレジスタ数の総和以上繰り返さなければならないという欠点があった。

【0005】 また、従来の診断制御回路はそれぞれのスキャンバスを一本一本個別に動かしそのままシステム制御装置とデータのやり取りをしていたため、スキャンアウトでデータを抜き出し、スキャンインでデータをセットするために最低でも全てのスキャンバスに含まれるレジスタ数の総和の2倍だけスキャンクロックが必要となり、全てのスキャンバスをスキャンして完了するのに時間がかかった。

【0006】

【課題を解決するための手段】 本発明では、診断制御回路の制御するそれぞれのスキャンバスにおいてレジスタ数を i 個、スキャンするときに用いるスキャンクロック数を j （ただし $1 \leq j$ ）個とし、 j/i の余りを k と定義して、 $k=0$ のとき、スキャンバス先頭のレジスタ出力（外部にスキャンアウトデータとして出力されるデータ）とスキャンインデータ（スキャンバスにセットしようとするデータ）のいずれかを選択し、スキャンバス末尾のレジスタのスキャン入力とする手段を有し、 $k \neq 0$ のときは、スキャンバス先頭のレジスタの出力をスキャンバス末尾のレジスタのスキャン入力にする手段と k 番目のレジスタと $k+1$ 番目のレジスタの間に $k+1$ 番目のレジスタ出力と、スキャンインデータのいずれかを選択し k 番目のレジスタのスキャン入力とする手段と、他に、前記スキャンバスのデータを一時的に格納しておく

ためのスキャンバス数以上のビット幅と最も長いスキャンバスのレジスタ数以上のワード数を持つランダムアクセスメモリを設け、前記複数のスキャンバスを制御する診断制御回路には、前記複数のスキャンバスを同時に動かし前記複数のスキャンバスのスキャンアウトデータを前記ランダムアクセスメモリに1スキャンクロック分ずつ書き込み、また前記ランダムアクセスメモリの内容を読み出し前記スキャンバスにスキャンインする機能と、システム制御装置の要求により前記ランダムアクセスメモリ中の任意のアドレスのデータをシステム制御装置に送ったり、逆に前記システム制御装置から送られたデータを前記ランダムアクセスメモリの任意のアドレスに書き込んだりする機能を含む診断制御装置とを備えて本発明が構成される。

【0007】

【実施例】図1は、本発明の一実施例の構成を示すブロック図である。ただし、発明に関係のない所は省略してある。21・22はデータセクタ、31・32はスリーステートのバッファ、41・42はバッファ、SP1～SPnは本発明のスキャンバス、6は診断制御回路(DGC)、7はランダムアクセスメモリ(RAM)、8はシステム制御装置(SCU)、9はスキャンインかスキャンアウトかを示す信号SIO(OFF=スキャンイン、ON=スキャンアウト)である。

【0008】始めに、本発明に使用するスキャンバスのスキャンアウト動作、スキャンイン動作について説明する。ただし、ここではスキャンバスSP1、SP2について注目する。また、説明を簡単にするためにスキャンに用いるスキャンクロック数を8とする。スキャンアウトは、スキャンバスに供給される通常のクロックを止め、スキャンモードにしてから開始する。この状態においてのスキャンバスSPmのレジスタRmnの値をCmnと定義する。

【0009】データセクタ21、22は信号SIOがON(スキャンアウト)になっているのでそれぞれレジスタR11の出力とレジスタR21の出力を選択する。この状態でスキャンバスSP1の出力にはレジスタR11の値C11がスキャンバスSP2の出力にはレジスタR21の値C21が出力され、最初のスキャンデータとなる。以後、スキャンクロックが来る毎にスキャンアウト動作が進んで行く。スキャンクロック毎のレジスタの変化およびスキャンアウトデータの変化を表にしたのが図2である。図2より、データセクタSP1、SP2のスキャンアウトデータは、次のようになる。

【0010】SP1のスキャンアウトデータ

C11 C12 C13 C14 C15 C16 C17 C18

SP2のスキャンアウトデータ

C21 C22 C23 C24 C25 C26 C21 C22

つまり、スキャンバスに含まれるレジスタの数が8より少ないスキャンバスにおいては、レジスタの値C21、C22のように少ない分だけスキャンバスの先頭から再びデータが出力される。

【0011】次に、スキャンインであるが、スキャンアウトと同様スキャンバスに供給される通常のクロックを止めスキャンモードにしてから開始する。ここではレジスタRmnにセットするレジスタRmnの値をCmnと定義して、データセクタSP1、SP2にそれぞれ次のような順番でセットするものとする。

SP1のスキャンインデータ

C11 C12 C13 C14 C15 C16 C17 C18

SP2のスキャンインデータ

C21a C22a C23 C24 C25 C26 C21 C22

信号SIOをOFFにしてデータセクタ21、22はそれぞれ4のバッファを選択させ、バッファの入力にレジスタの値C11a、C21aを入力する。ここでスキャンバスに1発スキャンクロックを入れればレジスタの値C11がレジスタR11にレジスタの値C21aがレジスタR21へセットされる。先に説明したスキャンアウトと同様、スキャンクロック毎の各レジスタの値の変化を表にしたものを図3に示す。これらの結果、8個目のスキャンクロックを入れた時点でスキャンインは終了する。

【0012】スキャンバスSP2にスキャンインするデータのうちの始めの2つにaを付けたのは、これらのデータが無効なデータとなるのを明らかにするため、これらのデータは後から来るレジスタの値C21とC22によって置き換えられてしまう。このことから、レジスタの値C21とC22a、C22とC22aは、それぞれ同じ値でなくてもよいことがわかる。これは、本発明で使用するスキャンバスにスキャンインするときは、有効となるスキャンデータの位置に注意を要することを意味し、有効となるのは、スキャンバスSP2の場合、後から6つのデータである。

【0013】図2と図3とを比較してみれば、本発明のスキャンバスは複数のスキャンバスを同じように動かしても、スキャンアウトしたデータをそのままの順番でスキャンインすれば、スキャンアウトする前の状態に戻せることがわかる。これは、スキャンに要する時間を短縮するために大きく役立つ。

【0014】次に情報処理装置で障害等が発生したときにシステム制御装置(SCU)8がどのようにしてエラー情報を収集するか説明する。診断制御回路DGC6は障害が発生した旨を受けたら、まずスキャンバスSP1～SPnのクロックを止め、障害発生時のデータが壊れるのを防ぎ且つスキャンモードにして、スキャンアウト可能な状態にする。そしてシステム制御装置(SCU)

8に障害が発生した旨を伝える。次に診断制御回路(DGC)6は信号SIOをONにしてスキャンを始め、スキャンバスSP1~SPnを同時にスキャンアウトしながらスキャンアウトデータをランダムアクセスメモリ

(RAM)7のアドレス0番地から順に書き込む。全て書き込んだら信号(SIO)9をオフにしてスキャンバスSP1~SPnをスキャンイン可能な状態にする。スキャンバスSP1~SPnを同時に動かしながら、RAM7のアドレス0番地から先に格納されたスキャンアウトデータを順番にスキャンインし、元のスキャンアウトする前の状態に戻す。本発明で使用しているスキャンバスSP1~SPnは、複数同時に動かしても先に説明したとおりスキャンアウトした順番でスキャンインすればスキャンアウト前の状態に戻せるのは明らかである。スキャンバスが元の状態に戻ったならDGC8はスキャンバスのスキャンモードを解除、そしてクロックの供給を開始し、情報処理装置にエラー処理を始めさせる。さらにシステム制御装置(SCU)は、スキャンバスが元に戻り、クロックが供給され始めたらDGC8に対して、RAM7中に書き込まれているスキャンデータを転送するよう要求しデータの回収を行う。回収したデータをフロッピーディスク等に格納すれば、障害データの採集は完了する。

【0015】情報処理装置のデバッグなどであるレジスタにある値をセットしたい場合SCU8からDGC6に対して、スキャンバスの内容をRAM7に読み出させRAM7の内容を書き換えてからスキャンインするようなコマンドをきることによって行う。

【0016】

【発明の効果】以上説明したように本発明は、スキャンバス先頭のレジスタ出力かスキャンインデータをスキャンバス末尾のスキャン入力にする手段を設けるか、または、スキャンバス先頭のレジスタ出力をスキャンバス末尾のレジスタのスキャン入力にする手段とスキャンバス

中に前段のレジスタ出力かスキャンインデータのいずれかを次段のレジスタのスキャン入力にする手段を設けることにより、スキャンバス中の実際のレジスタの数とスキャンに必要なクロック数を異なる値にすることができ、複数のスキャンバスをおなじスキャンクロック数でスキャンすることを可能とする。

【0017】また本発明のスキャンバスは、スキャンバスを同時に動かしながらスキャンイン、スキャンアウトできるので、スキャンバスを単独でしか動かせない場合に比べ、全てのスキャンバスをスキャンするのに必要なスキャンクロック数が著しく減少しエラーで処理を中断してから再び動き出すまでの時間を大幅に短縮できる。

【0018】また、本発明の場合次のような特典もある。複数のレジスタに値をセットしたい場合は、一度スキャンバスの内容をRAMに読みだしておけば、スキャンモードを解除してクロックを供給しない限りRAMの内容はスキャンバスの内容と同じであるので、一つのレジスタをセットするたびにスキャンインをする必要がなくなり、処理は高速化されるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図

【図2】スキャンアウト動作を示す説明図

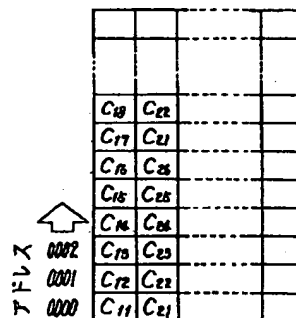
【図3】スキャンイン動作を示す説明図

【図4】スキャンアウトを行いデータをRAM(ランダムアクセスメモリ)に格納した格納状況を示す説明図

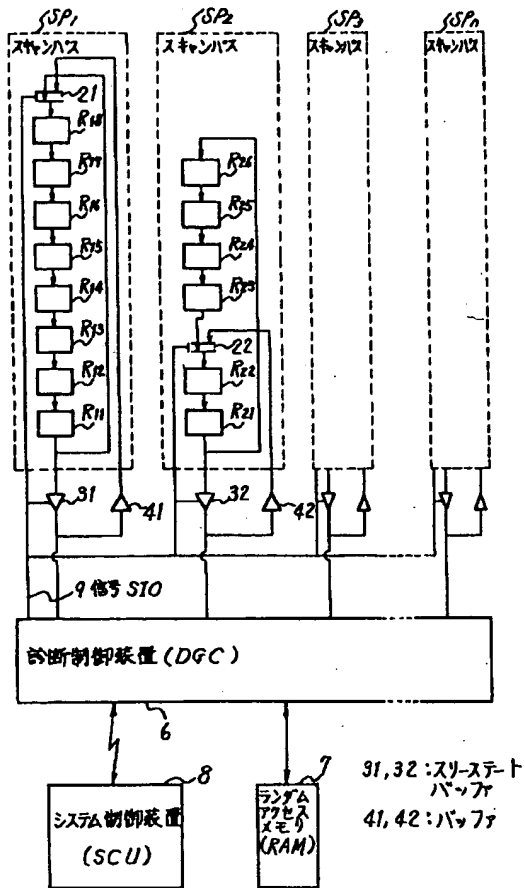
【符号の説明】

- 6 診断制御装置(DGC)
- 7 ランダムアクセスメモリ(RAM)
- 8 システム制御装置(SCU)
- 9 信号SIO
- 21, 22 データセクタ
- 31, 32 スリーステートバッファ
- 41, 42 バッファ
- SP1~SPn スキャンバス

【図4】



【図1】



【図2】

アドレス	707	0	1	2	3	4	5	6	7	8
SP ₁	R ₁₀	C ₁₀	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈
	R ₁₇	C ₁₇	C ₁₈	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇
	R ₁₆	C ₁₆	C ₁₇	C ₁₈	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆
	R ₁₅	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅
	R ₁₄	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁	C ₁₂	C ₁₃	C ₁₄
	R ₁₃	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁	C ₁₂	C ₁₃
	R ₁₂	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁	C ₁₂
	R ₁₁	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁
	出力	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	C ₁₁
SP ₂	R ₂₅	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉	C ₃₀	C ₃₁	C ₃₂	C ₃₃
	R ₂₄	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉	C ₃₀	C ₃₁	C ₃₂
	R ₂₃	C ₂₃	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉	C ₃₀	C ₃₁
	R ₂₂	C ₂₂	C ₂₃	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉	C ₃₀
	R ₂₁	C ₂₁	C ₂₂	C ₂₃	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉
	出力	C ₂₁	C ₂₂	C ₂₃	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	C ₂₉

【図3】

アドレス	707	0	1	2	3	4	5	6	7	8
SP ₁	入力	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈	
	R ₁₈		C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇	C ₁₈
	R ₁₇			C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆	C ₁₇
	R ₁₆				C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆
	R ₁₅					C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅
	R ₁₄						C ₁₁	C ₁₂	C ₁₃	C ₁₄
	R ₁₃							C ₁₁	C ₁₂	C ₁₃
	R ₁₂								C ₁₁	C ₁₂
	R ₁₁									C ₁₁
SP ₂	入力	C ₂₁	C ₂₂	C ₂₃	C ₂₄	C ₂₅	C ₂₆	C ₂₇	C ₂₈	
	R ₂₈				C ₂₁	C ₂₂	C ₂₃	C ₂₄	C ₂₅	C ₂₆
	R ₂₇					C ₂₁	C ₂₂	C ₂₃	C ₂₄	C ₂₅
	R ₂₆						C ₂₁	C ₂₂	C ₂₃	C ₂₄
	R ₂₅							C ₂₁	C ₂₂	C ₂₃
	R ₂₄								C ₂₁	C ₂₂
	R ₂₃									C ₂₁
	R ₂₂									
	R ₂₁									

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-215816

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

G01R 31/28

G06F 11/22

(21)Application number : 03-322766

(71)Applicant : NEC CORP

(22)Date of filing : 06.12.1991

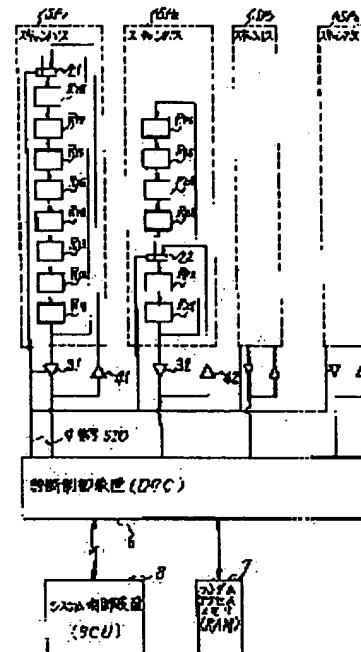
(72)Inventor : NOBUTAKA YASUSHI

(54) INFORMATION PROCESSING DEVICE

(57)Abstract:

PURPOSE: To scan plural number of scan paths having different scan path length in the same clock number, and also speed up information collection when a trouble is caused by arranging a means to select an input/output order of the scan paths and a RAM to store scan data temporarily.

CONSTITUTION: When a trouble is caused a diagnosis control circuit DGC6 stops clocks of scan paths SP1-SPn, and places them in a scan mode, and informs the occurrence of the trouble to a system control unit SCU. Next, a signal SIO is turned on, and the scan is started, and while scanning out the scan paths SP1-SPn simultaneously, scan-out data are written in order from a 0 address of a RAM 7. When writing is finished, the signal SIO is turned off, and while moving the scan paths SP1-SPn simultaneously, the scan-out data stored in the RAM 7 are scanned in, and are restored to the original conditions, and the scan mode is released, and clock supply is started, and an information processing device is made to start an error processing.



LEGAL STATUS

[Date of request for examination] 12.12.1997

[Date of sending the examiner's decision of rejection] 09.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office